

一种高性能 DSP 中断系统的研究与设计

李 涌^{1,2}, 虞致国¹, 郭良权²

(1 轻工过程先进控制教育部重点实验室, 江南大学 电子工程系, 江苏 无锡 214122;

2 中国电子科技集团公司 第 58 研究所, 江苏 无锡 214035)

摘 要: 提出了一种高性能数字信号处理器中断系统结构, 通过中断优先级的灵活可变以及系统仲裁周期的可选择性, 提高中断系统的执行效率. 由于中断向量表的中断服务例程的可跨越性和中断优先级分组两个特点, 提高了中断优先级排列的灵活实用性. 通过引入外设控制处理器来作为中断服务的提供商, 增加了中断处理的途径. 理论分析与仿真结果表明达到了系统中断功能的要求.

关键词: 中断系统; 数字信号处理器; 中断向量表; 中断优先级; 外设控制处理器

中图分类号: TP368.1

文献标识码: A

文章编号: 1000-7180(2013)09-0037-05

Research and Design of High Performance DSP Interrupt System

LI Yong^{1,2}, YU Zhi-guo¹, GUO Liang-quan²

(1 Key Laboratory of Advanced Process Control for Light Industry (Ministry of Education), Department of Electronic Engineering, Jiangnan University, Wuxi 214122, China; 2 CETC 58, Wuxi 214035, China)

Abstract: A high performance digital signal processor (DSP) interrupt system has been proposed. By providing a flexible interrupt service request priority and an optional number of arbitration cycles, the execution efficiency of the interrupt system can be improved. Due to the two characteristics of the interrupt vector table, spanning interrupt service routines across vector entries and grouping interrupt priority, the practicability of the priority-based interrupt system is improved. By introducing the peripheral control processor (PCP) as a new interrupt service provider, an additional interrupt processing way is provided. The theoretical analysis and simulation results indicate that the requirements of the interrupt system have been satisfied.

Key words: interrupt system; digital signal processor; interrupt vector table; interrupt service request priority; peripheral control processor

1 引言

数字信号处理器(DSP)在民用、国防及航空航天等领域取得了越来越广泛的应用,设计高性能、低功耗的 DSP 也吸引了越来越多的关注和研究^[1-2]. 在 DSP 追求信号处理高效率的同时,任何中断请求都要求得到及时、准确、快速的响应,因此,灵活高效的 interrupt 系统的设计成为了 DSP 设计中一个重要的研究方向^[3-5].

本文提出的高性能 DSP 中断系统结构,在满足

中断系统功能的同时,在中断源优先级、仲裁周期、快速上下文切换机制等方面进行了改进,提高了中断系统的效率. 首先,中断源的优先级不再固定不变,不同的应用场合可根据需要对优先级进行优化,使外设的中断响应更灵活,提高了整个 DSP 系统的响应速度. 其次,中断系统的仲裁周期具有可选择性,不同的应用可选择尽可能少的中断仲裁周期,以提高中断响应速度. 最后,通过采用快速上下文切换机制,提高了中断嵌套的执行效率. 此外,本文设计的中断系统拥有 DSP 和外设控制处理器(PCP)两

个中断服务提供商,使某些中断请求可由 PCP 来响应,增加了中断处理的途径,降低了 DSP 的负荷.

2 中断系统架构

DSP 处理器的每个外设都可产生中断请求(也叫服务请求).此外,总线模块、调试模块、外部控制处理器,甚至 DSP 本身都可产生中断服务请求,这些产生中断请求的模块都叫做中断系统的中断源.为中断提供服务的设备称为中断服务提供商,通常中断服务提供商都是处理器内核本身^[6].由于实际应用的需要,专门的 PCP 渐渐成为一些中断系统的中断服务提供商.

本文研究的 DSP 中断系统的整体框图如图 1 所示.作为整个中断系统最重要的组成部分,中断控制单元主要负责对所有的中断服务请求进行仲裁.整个中断系统包含两个中断服务提供商,除了中断控制单元(Interrupt Control Unit,ICU),还引入了一个专用于响应外设中断请求的中断处理单元(PCP interrupt control unit, PICU).DSP 中每个可产生中断服务请求的设备都连接到一个或多个服务请求节点 SRN(Service Request Node)上,所有的 SRN 通过两个中断控制单元连接到两条仲裁总线.其中,ICU 的作用是仲裁对 DSP 的中断服务请求以及管理 DSP 中断仲裁总线,而 PICU 的作用是仲裁对 PCP 的中断服务请求以及管理 PCP 中断仲裁总线.因此,中断源可以直接向 PICU 发出中断请求而不需直接向 DSP 内核提出中断请求,减轻了 DSP 负担,提高了中断响应的效率.

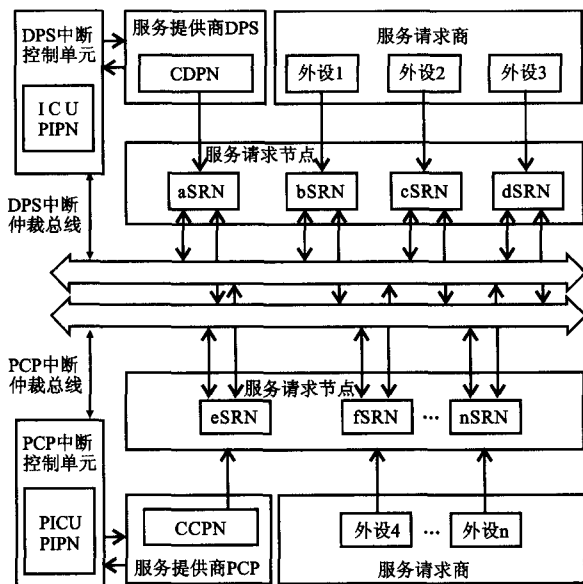


图 1 中断系统框图

2.1 中断服务请求节点(SRN)

每个中断服务请求节点包含一个中断服务请求控制寄存器和一个接口逻辑.接口逻辑用来连接中断服务节点与 ICU 或 PICU,进而通过中断控制单元的仲裁将中断服务请求送到中断仲裁总线.在中断服务请求控制寄存器中,低 8 位为服务请求优先码(Service Request Priority Number, SRPN),定义了每个中断源相对于其他中断源的优先级.当有多个活跃中断源选择同一个服务提供商时必须有一个唯一的 SRPN 值来区别自己的优先级,不能有相同的优先码. SRPN 值在中断源选择不同的服务提供商(ICU 或 PICU)时允许重叠.

SRPN 也用来识别中断向量表的入口,也就是说,系统的中断向量表是由优先级决定的.这不像传统中断结构那样向量表为中断源提供入口,此结构允许单个外设在不同用途时有不同的优先码,这样在不同的应用中,可根据需要改变外设的中断优先级满足实际应用的需要.

2.2 中断向量表

中断服务例程通过中断向量表与特定优先级的中断相关联.中断向量表是中断服务例程入口点的一个数组,其存储于程序存储器内^[7].本中断系统的中断向量表与传统向量表相比有两个特点:中断服务例程的可跨越性和中断优先级组的运用.

2.2.1 中断服务例程的可跨越性

每个中断向量表入口包含 8 个字,仅有相当简单的中断服务例程(Interrupt Service Routines, ISR)才可以放入向量表的入口.如果一段 ISR 代码很长,就需要用到跳转指令.然而当中断向量表是按照优先级号码排列,而不是按照中断源排列时,就能安排 ISR 跨越多个向量入口.

以图 2 为例,入口为 7 和 8 的位置就被入口为 6 的 ISR 占用了,下一个可用的入口就变成了入口 9,该设置不允许任意 SRN 在任意被跨越的向量优先级号码上申请中断服务.因此,优先级序号 7 和 8 绝对不允许与向 DSP 请求服务的 SRN 相连接,但是它们可以向 PCP 发出中断服务请求.当然,本文中 DSP 的中断向量表跟一般中断向量表一样也允许存储 ISR 的一个跳转指令,指向完整的 ISR^[8].

2.2.2 中断优先级组

本文的 DSP 可将拥有相同或者不同优先级序号的中断归类成一组,使得它们互不打断彼此的 ISR.一些可以产生多种中断的外设可以将拥有不同优先级序号的中断归并在一起,组成一个向量优

优先级组,来有效地管理当前DSP优先级(Current DSP Priority Number, CDPN). 图2中,优先级序号为11和12的中断服务请求被分为一组(组一),同时优先级序号从14到16的中断服务请求也被分成一组(组二). 组一的每个ISR的CDPN值在重新使能整个中断系统之前被设置为组内最高的优先级序号12,同样地,组二的每个ISR的CDPN值在重新使能整个中断系统之前被设置为组内最高的优先级序号16. 如果中断14正在被服务,那么只能被优先级序号高于16的服务请求打断,也就是说,它不会被同组或者拥有更低优先级序号的服务请求打断.

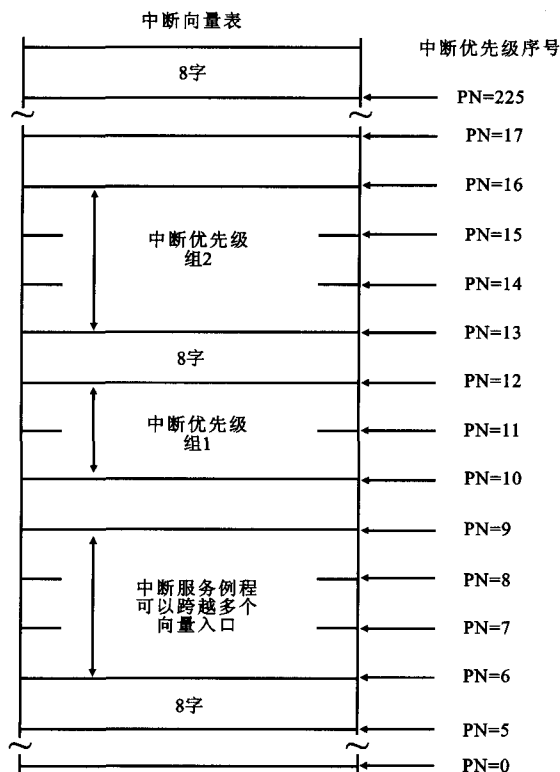


图2 中断向量表

将每个服务例程的CDPN设置为最大值255即关闭整个中断系统,此时可以认为全部中断服务请求都在同一个中断优先级组. 中断优先级组突出了本文设计的DSP中断系统的优势. 因此优先级组可以灵活设置,其范围为1(255个优先级都分在一个组)到255(每个优先级各占一个组).

2.3 中断控制单元

中断控制单元是整个中断系统的核心,对中断服务请求按照中断优先级进行仲裁来决定中断请求是否被响应以及何时提供中断服务. 当一个中断请求被响应以后,中断控制单元不需要等待中断服务结束而会立即开始一个新的仲裁处理. 由于中断服务提供商有DSP内核和PCP,因此中断控制单元分

别为ICU和PICU,其工作原理基本相同.

中断控制流程如图3所示. 当新的中断请求被检测到时,ICU自动进行仲裁. 等到仲裁结束时,ICU获得仲裁结果,确定拥有最高优先级的中断请求. 确定了最高优先级中断请求以后,ICU将对应的优先级序号存储于中断控制寄存器(Interrupt Control Register, ICR)的待处理中断优先级(Pending Interrupt Priority Number, PIPN)字段并向DSP发出一个中断请求. DSP检查ICR中的全局中断使能位(Interrupt Enable, IE)的状态,并比较ICR寄存器的当前DSP优先级序号CDPN和PIPN. 只有在IE位为1,并且 $PIPN > CDPN$ 的情况下才可响应中断. 中断响应后,DSP进入中断服务程序,然后通过读PIPN确定向量入口并应答ICU. ICU得到DSP应答以后将发送应答信号到对应的中断请求源,从而通知其中断已被响应. 相应的节点得到ICU的应答后将复位其服务请求标志(Service Request Bit, SRB).

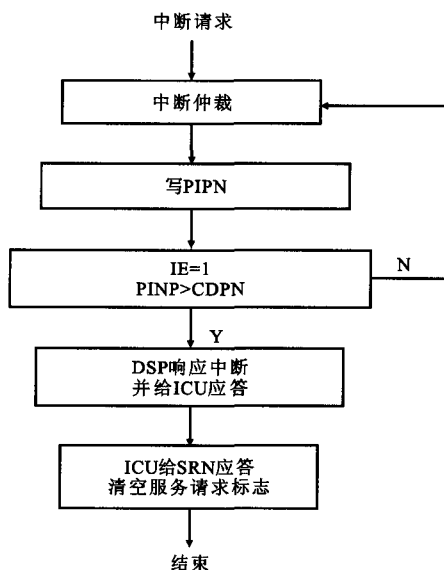


图3 中断控制流程图

仲裁的实现是在一定的仲裁周期内对优先级最高的中断请求进行响应. 系统为每个中断源提供了一个八位的中断优先级编码(Service Request Priority Number, SRPN)来标记256级中断优先级,在执行仲裁过程中使用多个仲裁周期数比较后得出中断源的最高优先级. 中断请求优先码按照从高位往低位的顺序相互间每两位分别进行比较. 例如在最后一个周期里,[1:0]位被比较. 因此,需要四个仲裁周期才能将SRPN的八位全部比较完. 仲裁过程所消耗的时间由两个因素决定:仲裁周期数,仲裁周期的时间. 对一般的应用来说,并不需要256个中断优先级,但是系统

中断仲裁仍旧要对所有的八位标记位进行检查来确定对应的优先级,这样会造成仲裁时间的浪费.对于这种情况,通过减少比较优先级标记位的方法来减少仲裁的周期数.例如,应用中所需要的中断优先级不超过 16 个,则只需要将优先码高四位设置为 0000,这样在对标记位进行检查的时候只需要检查低四位即可,直接将四个仲裁周期缩减为两个,由此有效的减少了仲裁周期数,提高了仲裁速率.

系统中断仲裁结构图如图 4 所示.系统每个模块对应着一个中断请求节点,每个节点内有对应模

块的多个中断请求控制器.在每个仲裁周期内服务请求节点的解码模块取中断源优先级编码的两位,根据其解码值使得输出为“11”、“10”、“01”和“00”,分别对应了 tree11、tree10、tree01 和 tree00,将所有解码结果相同的输出结果做或运算后输入到中断控制器 ICU 内.实际电路中为避免或门大的扇入,采用了树形结构的多级门来实现以上或运算. ICU 将输入进行优先编码,将中断源最大值传递给移位寄存器.

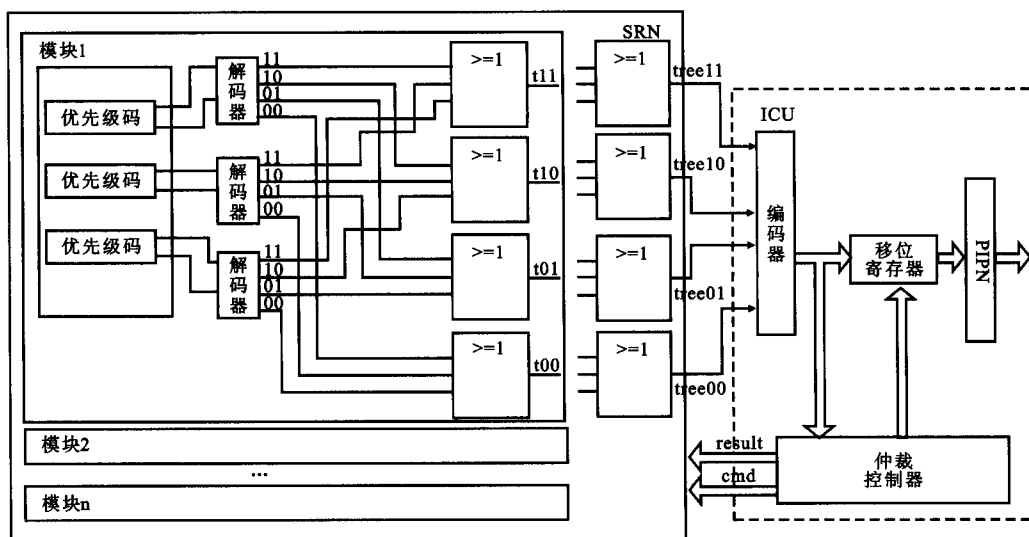


图 4 中断仲裁示意图

为了能够完整地比较出四位甚至八位的优先码,ICU 将每个周期比较的结果返回给 SRN 中的解码模块.图 5 所示为 SRN 解码模块的状态转移图,当有中断请求时进入 SRN_in 状态并将两位的优先码输出.此时将解码结果与 ICU 仲裁结果进行比较,如果仲裁结果 result 大于当前解码结果,说明有某中断源优先级大于当前中断源,模块将放弃此次中断仲裁,进入 SRN_out 状态.反之,模块将维持 SRN_in 状态继续进行下一周期后两位优先码的比较直到仲裁结束.仲裁结束时进入 SRN_ack 状态等待系统对中断请求的响应,如果对中断响应完成则进入 SRN_idl 状态继续等待下一个仲裁周期.

例如当前同时有三个中断请求 a、b 和 c,其中断优先码分别为“00110101”,“00111001”,和“00011110”,此仲裁过程需要三个仲裁周期.第一个仲裁周期比较优先码的最高两位,SRN 的输出线“tree11”和“tree01”都为高电平,ICU 优先编码得到结果为“11”,将此结果送入移位寄存器内得到

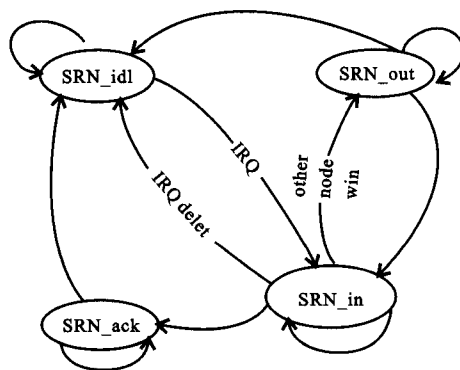


图 5 SRN 状态机时序图

PIPN 的高两位结果.此时 ICU 将仲裁结果返回 SRN 每个节点内与当前解码结果比较,可知中断 a、b 获胜,中断 c 仲裁失败而离开此次仲裁过程.接下来进入第二个仲裁周期,重复以上过程直到三个仲裁周期结束进入 SRN_ack 状态等待响应,ICU 得到 6 位的当前最高优先级中断源的优先码(“111001”).

3 仿真结果分析

利用硬件描述语言 VHDL 对中断系统进行了 RTL 级的描述,采用 SYNOPSIS 公司的仿真软件 VCS 在系统层次上对中断系统的功能进行验证. 仿真时利用 DSP 芯片内的三个定时器向 DSP 内核放出中断,ICU 接收中断后进行优先级的仲裁,然后将当前最高优先级中断交给 DSP 内核. 从仿真结果可以看出,设计在功能上满足了中断系统的要求.

4 结束语

文中提出了一种高性能的 DSP 中断系统架构,提供了两个中断服务商 PCP 和 DSP,采用了新的中断仲裁和处理机制,提高了系统对中断处理的灵活性,缩短了系统对中断的响应时间. 系统为每个中断源提供了八位可编程的中断优先级码,支持 255 个中断源,优先级灵活可变,仲裁周期可选,增加了实际应用中通过调节达到中断响应最优的灵活性. 此外,中断向量表以优先级码的顺序进行排列,并加入了中断程序跨界和中断分组的功能,减少了中断服务程序的响应开销,提高了灵活性. 通过分析与验证,表明中断系统的设计达到了预期的要求.

参考文献:

- [1] Chishan Y, Bochun Y, Smith J W. The design and realization of a DSP-based power electronic circuit real-time simulator[C]// 2009 International Conference on Power Electronics and Drive Systems (PEDS). Taiwan, Taipei, 2009:1239-1242.
- [2] Wang C W, Ding G Y. Design of DSP virtual machine oriented all-digital simulation and testing[C]// 2011

International Conference on Future Computer Science and Education (ICFCSE). China: Xi'an, 2011: 571-575.

- [3] 陈芙蓉,张向文,曹梅双. 基于 Verilog-HDL 的 RISC/DSP 微处理器 IP 核的设计[J]. 微电子学与计算机, 2009, 26(11):71-73.
- [4] 许新任,陈进. 高性能 DSP 中断处理技术[J]. 计算机工程, 2004(19): 176-177.
- [5] 胡永华,高明伦,王锐. 微处理器中中断电路的高层设计[J]. 微电子学与计算机, 2001,18(4): 1-4.
- [6] Panis C, Hohl J, Gruenbacher H, et al. xICU-in interrupt control unit for a configurable DSP core[C]// 2003 Proceedings International Symposium on System-on-Chip. Finland: Tampere, 2003:75-78.
- [7] Mooney J, Effler S, Halton M, et al. Interrupt controller for DSP-based control of multi-rail DC-DC converters with non-integer switching frequency ratio [C]// 2010 17th IEEE International Conference on Electronics, Circuits and Systems (ICECS). Greece, Athens, 2010: 1204-1207.
- [8] Strnad J. Monitoring-driven HW/SW interrupt overload prevention for embedded real-time systems [C]// 2012 IEEE 15th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS). Estonia, Tallinn, 2012: 121-126.

作者简介:

李 涌 女,(1988-),硕士研究生. 研究方向为专用集成电路与系统设计.

虞致国 男,(1979-),副教授. 研究方向为专用集成电路与系统设计.

郭良权 男,(1964-),研究员,高级工程师. 研究方向为微控制器以及数模混合集成电路设计.